

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/234



In re patent application of

Kang-min LEE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: APPARATUS FOR SEARCHING FOR A CELL AND METHOD OF ACQUIRING CODE UNIQUE TO EACH CELL IN AN ASYNCHRONOUS WIDEBAND DS/CDMA RECEIVER

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Appln. No. 00-1190, filed January 11, 2001.

Respectfully submitted,

Eugene M. Lee
Reg. No. 32,039

January 11, 2001

The Law Offices of Eugene M. Lee, PLLC
2111 Wilson Boulevard, Suite 1200
Arlington, Virginia 22201
Telephone: (703) 525-0978



10/11/10
070852/60
5918

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

CERTIFIED COPY OF
PRIORITY DOCUMENT

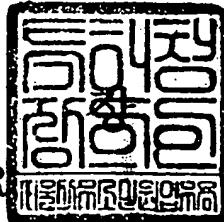
출 원 번 호 : 특허출원 2000년 제 1190 호
Application Number

출 원 년 월 일 : 2000년 01월 11일
Date of Application

출 원 인 : 삼성전자 주식회사
Applicant(s)



2000 11 16 일



특 허 청
COMMISSIONER

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2000.01.11
【국제특허분류】	H04B
【발명의 명칭】	비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치 및 각 셀에 고유한 코드 획득 방법
【발명의 영문명칭】	Apparatus for cell search and method for acquiring the code peculiar to each cell in asynchronous wideband CDMA receiver
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	권석홍
【대리인코드】	9-1998-000117-4
【포괄위임등록번호】	1999-009576-5
【대리인】	
【성명】	이상용
【대리인코드】	9-1998-000451-0
【포괄위임등록번호】	1999-009577-2
【발명자】	
【성명의 국문표기】	이강민
【성명의 영문표기】	LEE,Kang Min
【주민등록번호】	740204-1005711
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 주공아파트 405 동 704호
【국적】	KR

【발명자】**【성명의 국문표기】**

전지용

【성명의 영문표기】

CHUN, Ji Yong

【주민등록번호】

640531-1017310

【우편번호】

137-030

【주소】

서울특별시 서초구 잠원동 반포한양아파트 3동 1108호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인

이영필 (인) 대리인

권석홍 (인) 대리인

이상용 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

5 면 5,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

10 항 429,000 원

【합계】

463,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치 및 각 셀에 고유한 코드 획득 방법에 관한 것으로, 모든 셀에 공통인 제1코드, 각 셀에 고유한 복수의 제2코드를 그루핑한 코드그룹을 나타내는 제3코드로 구성되는 동기채널 및 데이터 채널이 포함되어 수신되는 비동기 광대역 직접 시퀀스 코드분할다중접속 신호로부터 셀을 탐색하는 장치에 있어서, 동기채널과 내부에서 발생되는 제1코드간 주파수 에러를 추정하여 보상하고, 동기채널이 겹은 채널을 추정하여 보상하며, 보상이 이루어 진 동기채널과 발생가능한 제3코드를 상관하여 동기채널에 포함된 제3코드를 인식하는 코드그룹 인식부; 및 제3코드가 나타내는 코드그룹에 속하는 복수의 제2코드와 데이터 채널을 상관하여 데이터 채널에 포함된 제2코드를 찾는 제2코드 인식부를 포함함을 특징으로 한다.

본 발명에 의하면, 주파수 에러를 추정하여 보상함으로써 셀 탐색의 성능을 향상시키고 궁극적으로 셀 탐색시간을 줄일 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치 및 각 셀에 고유한 코드 획득 방법{Apparatus for cell search and method for acquiring the code peculiar to each cell in asynchronous wideband CDMA receiver}

【도면의 간단한 설명】

도 1(a) 내지 도 1(c)는 동기채널의 구조를 계층적으로 도시한 것이다.

도 2는 본 발명에 따른 광대역 DS/CDMA 수신기에 대한 블록도이다.

도 3은 도 2의 코드그룹 인식부에 대한 상세 블록도이다.

도 4는 도 3의 코히런트 결합기에 대한 상세 블록도이다.

도 5는 도 3의 주파수 에러 추정기를 보다 상세히 설명하는 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6> 본 발명은 비동기식(asynchronous) 광대역(wideband) 직접 시퀀스 코드분할다중접속(Direct-Sequence Code Division Multiple Access: DS/CDMA) 수신기의 셀 탐색 장치 및 각 셀에 고유한 코드 획득 방법에 관한 것이다.
- <7> 비동기식 광대역 DS/CDMA 시스템은 IMT(International Mobile Telecommunication)-2000 표준안의 하나로서 차세대 이동통신의 중요한 부분을 차지할

것으로 예상된다. DS/CDMA 시스템에는 동기식(synchronous) 시스템과 비동기식 시스템이 있다. 이 두 시스템간의 차이는 동기식 시스템의 경우 광역측위시스템(Global Positioning System)과 같은 외부 타이밍 소스를 이용하여 각 셀(cell)간에 시간을 동기화시키고, 비동기식은 셀간의 동기를 맞추지 않는다는 것이다.

<8> DS/CDMA 시스템에서 각각의 셀은 스프레딩 코드(spreading code)에 의하여 구분된다. 동기식 시스템에서는 셀 사이의 동기를 제어할 수 있으므로 각 셀이 스프레딩 코드의 위상만을 달리하여 코드를 부여한다. 즉, 고유한 하나의 스프레딩 코드만이 사용된다. 반면 비동기식 시스템에서는 이용할 수 있는 시간 정보가 없으므로 각 셀이 서로 다른 스프레딩 코드를 부여한다.

<9> DS/CDMA 시스템에서 셀 탐색은 이동국(Mobile Station, MS)과 기지국(Base Station, BS) 사이에 통신을 시작함에 있어 MS에서 최적의 셀을 찾고 그 셀에 부여된 스프레딩 코드 및 코드의 동기를 획득하는 과정이다. 비동기식 시스템은 동기식 시스템의 경우 모든 셀에 할당된 스프레딩 코드가 동일하므로 코드의 위상만을 찾으면 되지만, 비동기식 시스템에서는 스프레딩 코드의 위상은 물론 코드 시퀀스 자체를 찾아내야 하기 때문이다. 이러한 이유로 인하여 비동기식 시스템인 광대역 CDMA 시스템에서는 셀 탐색이 매우 어렵고 중요한 작업이다.

<10> 광대역 CDMA 시스템에서 각 셀을 구분하는 스프레딩 코드를 스크램블링 코드(scrambling code)라고 한다. 스크램블링 코드는 모두 512개가 존재한다. 만약

셀 탐색시 512개를 모두 탐색해야한다면 매우 긴 시간과 노력이 필요할 것이다. 이러한 문제점을 방지하기위해 광대역 CDMA시스템에서는 코드 그룹(code group)과 동기 채널(Synchronous CHannel:SCH)이라는 개념이 적용되었다. 코드 그룹이라는 것은 스크램블링 코드를 몇 개의 그룹으로 나누고 각 셀에 고유한 코드 그룹을 부여함으로써 셀 탐색시 MS가 탐색해야할 스크램블링 코드의 개수를 줄이는 것이다. 광대역 CDMA 시스템에서는 32개의 코드 그룹이 존재하고, 각 그룹에 16개의 스크램블링 코드가 할당되었다. 따라서, 셀 탐색시 일단 코드 그룹을 검출하면, 탐색해야할 스크램블링 코드의 개수가 16개로 줄어든다. 각 셀에 할당되는 코드 그룹은 SCH에 의해서 결정된다.

<11> SCH는 셀 탐색을 위해 사용되는 하향의 물리적인 채널(downlink physical channel)로서, 주 공통 제어 채널(primary Common Control Physical Channel:p-CCPCH)이라는 일종의 제어 채널과 매 슬롯(slot) 마다 시간다중(time multiplexing)되어 전송된다. SCH는 주동기 코드(Primary Synchronization Code:PSC)와 부동기 코드(Secondary Synchronization Code:SSC)로 구성되고, 매 슬롯마다 PSC와 SSC가 동시에 전송된다.

<12> 도 1(a) 내지 도 1(c)는 동기채널의 구조를 계층적으로 도시한 것이다. 도 1(a)는 72개의 프레임으로 구성되는 하나의 수퍼 프레임(superframe)을 나타낸다. 한 수퍼 프레임의 진행시간은 720ms이다. 도 1(b)는 16개의 슬롯으로 구성되는 하나의 프레임을 나타낸다. 한 프레임의 진행시간은 10ms이다. 도 1(c)는 9개의 심볼로 구성되는 p-CCPCH와 하나의 심볼로 구성되는 PSC(C_p)와 SSC(C_s^i)로 구성된다. p-CCPCH는 데이터 채널과 파일럿 채널로 구성된다. 한 슬롯의 유지시간은 0.667ms이고, 한 심볼은 256칩(chip)으로 구성된다.

<13> PSC와 SSC는 각각 256칩 길이의 코드 시퀀스로서 모든 셀에 공통인 1개의 고유 PSC

와 각 슬롯마다 달라지는 15개의 SSC가 존재한다. 또한 PSC와 SSC사이에는 직교성(orthogonal)이 있다. 셀 탐색은 SCH를 이용하여 이루어진다. 먼저, 슬롯의 동기화를 통해 슬롯의 경계를 찾고, SSC와 수신신호간 상관(correlation)에 의해 코드 그룹을 인식한다(identify). 코드 그룹이 결정되면, 각 셀에 할당된 스크램블링 코드를 찾는다.

<14> 그러나, 코드 그룹 인식시 각 슬롯의 SCH를 통해 전송된 SSC를 정확히 찾아내야 한다. 이상적인 환경이라면 수신된 15개 슬롯의 SCH 신호에 대하여 16개의 SSC와 각각 상관을 취하고 이중 최대값을 발생시키는 SSC를 찾는다. 그러나, 실제 상황에서는 여러 가지 요인에 의해 성능의 열화가 생기는데 성능 열화의 주요인으로는 잡음, 이동체에 의한 채널의 변화, 송수신단의 발진기(oscillator)의 불일치로 인한 주파수 에러 등이 있다.

<15> 이중 주파수 에러는 통신 시스템에서 소자의 물리적 특성에 의하여 불가피하게 발생하는 현상으로 시스템의 성능에 상당한 열화를 가져온다. 특히 광대역 DS/CDMA 시스템에서 중요한 문제중 하나인 셀 탐색은 각종 코드와의 상관값을 구함으로써 수행되는데, 만일 주파수 에러가 존재할 경우 상관특성에 나쁜 영향을 끼쳐 결과적으로 셀 탐색확률이 낮아지고 셀 탐색시간이 증가하는 문제가 발생한다.

<16> 이러한 원인들로 인한 성능 열화를 최소화하기 위해 여러 프레임에 걸쳐 수신신호와 SSC간의 상관결과를 결합한다.

<17> 결합방법에는 코히런트 결합(coherent combining)과 논코히런트 결합(noncoherent combining)이 있다. 각 방식은 장단점이 있는데, 코히런트 결합은 잡음에 강한 반면 채널의 변화가 심하거나 주파수 에러가 있을 때에는 성능의 열화가 심해진다. 반대로 논코히런트 결합은 채널 변화나 주파수 에러에 강한 반면 잡음이 많아 신호대 잡음비(SNR)이

나빠지면 심각한 성능의 열화가 생긴다. 채널이 이상적이고 주파수 에러가 없는 가산 백색 가우시안 잡음(AWGN) 채널에서는 코히런트 결합의 성능이 논코히런트 결합의 성능에 비해 약 3dB 정도 우세하다. 따라서, 수신신호에서 주파수 에러와 채널의 영향을 제거하여 코히런트 결합하는 것이 바람직하다고 할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자하는 기술적 과제는 주파수 에러와 채널을 각각 추정하고 수신된 신호에 대해 추정값들을 보상하며, 주파수 에러 및 채널이 보상된 신호와 SSC간 상관 결과를 코히런트 결합하여 셀을 탐색하는 비동기식 광대역 DS/CDMA 수신기의 셀 탐색 장치 및 각 셀에 고유한 코드 획득 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제를 이루기위한, 본 발명은 모든 셀에 공통인 제1코드, 각 셀에 고유한 복수의 제2코드를 그루핑한 코드그룹을 나타내는 제3코드로 구성되는 동기채널 및 데이터 채널이 포함되어 수신되는 비동기 광대역 직접 시퀀스 코드분할다중접속 신호로부터 셀을 탐색하는 장치에 있어서, 상기 동기채널과 내부에서 발생되는 제1코드간 주파수 에러를 추정하여 보상하고, 상기 동기채널이 겪은 채널을 추정하여 보상하며, 보상이 이루어진 동기채널과 발생가능한 제3코드를 상관하여 상기 동기채널에 포함된 제3코드를 인식하는 코드그룹 인식부; 및 상기 제3코드가 나타내는 코드그룹에 속하는 복수의 제2코드와 상기 데이터 채널을 상관하여 상기 데이터 채널에 포함된 제2코드를 찾는 제2코드 인식부를 포함함을 특징으로한다.

<20> 상기 기술적 과제를 이루기위한, 본 발명은 모든 셀에 공통인 제1코드, 각 셀에 고

유한 복수의 제2코드를 그루핑한 코드그룹을 나타내는 제3코드로 구성되는 동기채널 및 데이터 채널이 포함되어 수신되는 비동기 광대역 직접 시퀀스 코드분할다중접속 신호로부터 상기 제2코드를 획득하는 방법에 있어서, (a) 상기 동기채널과 제1코드 발생기에서 발생되는 제1코드간 주파수 에러를 추정하여 보상하는 단계; (b) 상기 동기채널이 겪은 채널을 추정하여 보상하는 단계; (c) 보상이 이루어진 동기채널과 발생가능한 제3코드를 상관하여 상기 동기채널에 포함된 제3코드를 인식하는 단계; 및 (d) 상기 제3코드가 나타내는 코드그룹에 속하는 복수의 제2코드와 상기 데이터 채널을 상관하여 상기 데이터 채널에 포함된 제2코드를 찾는 단계를 포함함을 특징으로 한다.

<21> 이하에서 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

<22> 도 2는 본 발명에 따른 광대역 DS/CDMA 수신기에 대한 블록도이다. 도 2에 따른 광대역 DS/CDMA 수신기는 안테나(200), 무선 주파수(Radio Frequency: RF) 수신기(210), 다운 컨버터(down converter, 220), 저역통과필터(LPF, 230), 아날로그-디지털 변환기(ADC, 240), 슬롯 동기화부(250), 코드그룹 인식부(260), 스크램블링 코드 인식부(270) 및 복조부(280)를 포함한다.

<23> 슬롯 동기화부(250)는 상관기(251), PSC 발생기(252), PSC 동기 검출기(253), 검증기(254) 및 PSC 동기 조정기(255)를 구비한다.

<24> 코드 그룹 인식부(260)는 주파수 에러 보상기(261), 채널 보상기(262), 코드 그룹 인식기(263)를 구비한다.

<25> 스크램블링 코드 인식부(270)는 코드 동기 조정기(271), 스크램블링 코드 발생기

(272), 상관기(273) 및 스크램블링 코드 인식기(274)를 구비한다.

- <26> 상기 구성에 따른 광대역 DS/CDMA 수신기의 동작은 다음과 같다.
 - <27> 먼저, RF수신기(210)는 안테나(200)를 통해 들어오는 RF신호를 수신하여 중간 주파수(IF) 신호로 변환한다. 다운 컨버터(220), LPF(230) 및 ADC(240)는 IF 신호를 기저대역의 불연속(discrete) 신호로 변환한다.
 - <28> 슬롯 동기화부(250)는 ADC(240)에서 출력되는 SCH로부터 슬롯의 경계를 찾는다. 즉, PSC에 대한 정합필터(matched filter)의 출력에서 피크(peak)가 발생하는 시점이 슬롯의 동기가 맞는 시점이 된다. 상관기(251)는 PSC발생기(252)에서 출력된 PSC와 ADC(240)의 출력 SCH와의 상관을 수행하고, PSC동기 검출기(253)는 상관기(251)의 출력으로부터 슬롯의 동기를 검출한다. PSC동기 조정기(255)는 PSC동기 검출기(253)에서 출력된 슬롯의 동기가 수신신호의 동기와 맞도록 조절하여 그 결과를 PSC발생기(252)로 출력한다. 검증기(254)는 PSC동기 검출기(253)에서의 슬롯 동기 획득여부를 검증하여 그 결과를 상관기(251)로 출력한다.
 - <29> 코드그룹 인식부(260)는 ADC(240)의 출력 SCH에 대해 주파수 에러 및 채널을 보상하여 코드그룹을 인식한다. 코드그룹은 SSC에 의해 결정된다. 1개의 프레임은 15개의 슬롯으로 구성된다. 그리고 매 슬롯마다 16개의 SSC중 하나의 SSC가 PSC와 함께 전송된다. 즉, 1프레임동안 15개의 SSC가 전송된다. 코드 그룹은 1프레임 동안 전송된 연속적인 15개의 SSC에 의해 결정된다. 코드그룹 인식부(260)는 슬롯 동기화부(250)에서 찾은 슬롯 동기정보 및 SSC와 ADC(240)의 출력 SCH간 상관에 의해 전송된 SSC를 검출하여 코드그룹을 인식하고 프레임 동기를 획득할 수 있다. 주파수 에러 보상기(261)는 PSC발생기(252)에서 발생된 PSC와 ADC(240)의 출력 SCH간 주파수 에러를 추정하고, 추정된 주파수 에러

를 ADC(240)의 출력 SCH에 대해 보상한다. ADC(240)의 출력 SCH에는 송신단과 수신단간에 발진 주파수의 불일치로 인한 주파수 에러 ω 가 포함되어 있다. 채널 보상기(262)는 주파수 에러 보상기(261)의 출력신호에 대해 신호가 겪은 복소 채널을 추정한다. 추정된 채널을 주파수 에러 보상기(261)의 출력신호에 대해 보상한다. 코드 그룹 인식기(263)는 채널 보상기(262)의 출력신호와 16개의 SSC간 상관을 취하고, 그 결과를 프레임 단위로 코히런트 결합하여 SSC를 검출하고 프레임 동기를 획득한다.

<30> 스크램블링 코드 인식부(270)는 코드 그룹 인식부(260)에서 결정된 코드 그룹에 속해있는 16개의 스크램블링 코드와 ADC(240)의 출력 데이터를 상관하여 각 셀에 할당된 스크램블링 코드를 찾는다. 코드 동기 조정기(271)는 코드 그룹 인식기(263)에서 검출한 프레임 동기 신호에 의해 스크램블링 코드의 동기를 조절한다. 스크램블링 코드 발생기(272)는 코드 동기 조정기(271)에 의해 조정된 동기 신호에 따라 코드 그룹 인식 및 프레임 동기화기(263)에서 인식된 코드 그룹에 속하는 16개의 스크램블링 코드를 발생한다. 상관기(273)는 ADC(240)의 출력 데이터와 스크램블링 코드 발생기(272)에서 발생된 16개의 스크램블링 코드 각각을 상관한다. 스크램бл링 코드 인식기(274)는 상관기(273)의 결과로부터 스크램블링 코드를 인식한다.

<31> 복조부(280)는 통상의 레이크(RAKE) 처리 및 복조를 수행하여 데이터를 출력한다.

<32> 도 3은 도 2의 코드그룹 인식부(260)에 대한 상세 블록도이다. 도 3에 도시된 코드 그룹 인식부는 주파수 에러 보상기(261), 채널 보상기(262) 및 코드그룹 인식 및 프레임 동기화기(263)을 포함한다.

<33> 주파수 에러 보상기(261)는 스위치(301), 주파수 에러 추정기(302), 수치제어발진기(Numerically Controlled Oscillator: NCO, 303) 및 곱셈기(304)를 구비한다.

- <34> 채널 보상기(262)는 채널 추정기(311), 복소공액기(312) 및 곱셈기(313)를 구비한다.
- <35> 코드 그룹 인식기(263)는 상관기(321), 코히런트 결합기(322) 및 코드 그룹 인식기 및 프레임 동기화기(323)를 구비한다.
- <36> 상기 구성에 따른 동작은 다음과 같다. 주파수 에러 보상기(261)는 ADC(240)의 출력 SCH에 대한 주파수 에러를 추정하고 보상한다. 주파수 에러 추정기(301)는 스위치(301)를 통해 입력된 ADC(240)의 출력 SCH와 PSC발생기(252)에서 발생된 PSC간의 주파수 에러 ω 에 대해 추정값 $\tilde{\omega}$ 를 출력한다. NCO(303)는 $\tilde{\omega}$ 에 해당하는 복소 여현파(sinusoidal wave)를 발생한다. 곱셈기(304)는 NCO(303)에서 출력되는 복소 여현파와 스위치(301)를 통해 들어오는 ADC(240)의 출력 SCH를 곱하여 주파수 에러를 보상한다. 주파수 에러 추정에 대해서는 하기 도 5를 참조하여 보다 상세히 설명하기로 한다.
- <37> 채널 보상기(262)는 ADC(240)의 출력 SCH가 겪은 채널을 추정하여 보상한다. 채널 추정기(311)는 통상적인 방법으로 채널을 추정하며, 채널 추정에 필요한 파라미터들은 곱셈기(304)에 의해 주파수 에러가 보상된 신호와 PSC와의 상관값을 이용하여 매 슬롯마다 갱신된다. 복소 공액기(312)는 추정된 채널값에 대해 복소공액을 취한다. 곱셈기(313)는 곱셈기(304)의 출력신호와 복소공액기(312)의 출력을 곱하여 채널을 보상함으로써 ADC(240)의 출력 SCH에 대해 주파수 에러 및 채널의 영향을 제거한다.
- <38> 코드 그룹 인식기(263)는 ADC(240)의 출력 SCH에 포함된 코드 그룹을 인식하고, 프레임 동기를 획득한다. 상관기(321)는 곱셈기(313)의 출력신호와 16개의 SSC간에 상관을 취한다. 이 때, 상관기(321)는 16포인트 고속 하다마드 변환(Fast Hadamard Transform)을 수행한다. 코히런트 결합기(322)는 프레임 단위로 상관기(321)의 출력을 코히런트 결

합한다. 이미 주파수 에러와 채널의 영향을 제거하였기 때문에 코히런트 결합함이 바람직하다. 코드 그룹 인식 및 프레임 동기화기(323)는 코히런트 결합기(322)의 출력값이 소정 임계값보다 클 때 혹은 출력값을 각각 비교하여 최대값일 때의 SSC를 최종적으로 검출함으로써 1개의 프레임 동안 전송된 15개의 SSC를 검출한다. 또한, 검출된 값들로부터 코드 그룹을 인식하고 프레임 동기를 획득한다. 도 4는 상기 코히런트 결합기(322)에 대한 상세 블록도이다. 도 4에 따른 코히런트 결합기는 복수의 덧셈기(401 내지 403) 및 제곱기(410)을 구비한다. 상관기(321)의 각 출력값을 Z_1, Z_2, \dots, Z_L 이라 하면, 덧셈기들(401 내지 403)은 각 상관값들을 모두 더한다. 제곱기(410)는 모두 더해진 값을 제곱하여 다음 식과 같은 코히런트 결합값 Z 를 출력한다.

<39> 【수학식 1】

$$Z = \left| \sum_{i=0}^L Z_i \right|^2$$

<40> 도 5는 상기 주파수 에러 추정기(302)를 보다 상세히 설명하는 블록도이다. 도 5에 따른 주파수 에러 추정기는 복수의 부분 상관기(500, 510, 520), 복수의 나눗셈기(501, 511, 521), 평균기(530), 위상 연산기(540) 및 곱셈기(550)를 구비한다.

<41> 그 동작은 다음과 같다. 복소 상관기(500, 510, 520)는 ADC(240)의 출력 SCH에서 각 슬롯에 있는 256칩 길이의 SCH를 M등분하고 PSC 발생기(252)에서 발생된 PSC의 복소 공액과 M등분된 SCH간에 부분상관을 구한다. 즉, SCH와 PSC간 256칩 전체에 대해 상관을 구하지 않고, PSC를 16배수칩 길이를 갖는 M개의 구간으로 나누어서 각각에 대한 부분 구간 상관(partial period correlation)을 구한다. M은 2, 4, 8 및 16중 하나의 값을 갖는다. 복소 상관기(500, 510, 520)로는 정합필터 또는 능동 상관기가 적절하다. 복소 상관기(500, 510, 520)의 출력은 위상값이다.

<42> 이를 보다 상세히 설명하면 다음과 같다. 본 발명에 따른 주파수 에러 추정은 PSC와 SSC가 다음 식과 같이 16칩 단위로 직교한다는 상관특성을 이용하여 이루어진다.

<43> 【수학식 2】

$$\sum_{i=1}^{16(I+J)-1} C_p(i)C_s^n(i) = 0$$

<44> 여기서, n 은 SSC의 인덱스를 나타내며, $1, 2, \dots, 16$ 의 값을 갖는다. I 는 0 이상의 양 수, J 는 1 이상의 양수이고, $(I+J) \leq 16$ 이어야 한다. 즉, PSC와 SSC의 한 주기인 256칩 동안 전체 구간상관을 취하지 않고 16배수 칩동안만 부분 구간 상관을 취하더라도 직교성이 유지된다는 특징이 있다.

<45> 한 슬롯의 SCH구간동안 수신된 칩 단위의 복소신호를 $r(n)$ 이라고 하자. 플랫 페이딩(flat fading) 환경, 즉 다중경로(multipath)가 없다고 가정할 때, $r(n)$ 은 다음 식과 같이 표현된다.

<46> 【수학식 3】

$$r(n) = h(n)x(n) + N(n) \quad (n=0, 1, \dots, 255)$$

<47> 여기서, $x(n)$ 은 송신된 복소 SCH신호로서 다음 식과 같이 표현될 수 있다.

<48> 【수학식 4】

$$P(n) = PSC(n) + jPSC(n)$$

$$S_i(n) = SSC_i(n) + jSSC_i(n)$$

$$x(n) = P(n) + S_i(n)$$

<49> $h(n)$ 은 SCH 구간동안 신호가 겪은 복소채널, $N(n)$ 은 복소 가우시안 잡음이다. 여기에 주파수 에러 f_e 가 있다면, $r(n)$ 은 다음 식과 같이 변화된다.

<50> 【수학식 5】

$$\mathbf{r}(n) = \mathbf{h}(n) \mathbf{x}(n) \exp[j(2\pi f_c T_c + \phi)] + \mathbf{N}(n)$$

<51> 여기서, T_c 는 칩구간(chip duration)이고, ϕ 는 $[0, 2\pi]$ 구간에서 균등 분포(uniform distribution)를 갖는 임의의 위상이다. SCH구간동안 수신된 신호를 16N칩 길이의 M개의 블록으로 나눈다. N은 1, 2, 4, 8중 하나의 값을 취하고, N에 따라 $M=16/N$ 의 값을 갖는다. 16N칩 길이로 나누는 것은 PSC와 SSC가 최소 16칩 단위로 직교하는 특성을 이용하기 위함이다. 본 실시예에서는 주파수 에러 추정을 위해 2가지 가정을 하였다. 가정은, 첫째, SCH구간동안 채널을 변하지 않는다. 둘째, M개로 나눠진 16N칩의 한 구간동안(이하 블록이라 함) 주파수 에러에 의한 위상은 $\phi_0, \phi_1, \dots, \phi_{M-1}$ 로 각각 일정하며 $\phi_{M/2+m} - \phi_m = 2\pi f_c (128T_c)$ 이다.

<52> 상기 첫째 가정은 실제 상황에서 타당하며, 둘째 가정은 하나의 블록에 속한 신호의 위상은 모두 동일하며 128칩 떨어진 블록간의 위상차는 주파수 에러에 의한 위상변화와 동일하다는 것을 의미한다.

<53> M개의 블록에 해당하는 SCH신호를 각각 $\mathbf{r}_0(n), \mathbf{r}_1(n), \dots, \mathbf{r}_{M-1}(n)$ 이라 하면, 둘째 가정에 의해 $\mathbf{r}_m(n) (n=0, 1, \dots, M-1)$ 은 다음 식과 같이 표현된다.

<54> 【수학식 6】

$$\mathbf{r}_m(n) = \mathbf{r}(16Nm+n) = h \exp(j\phi_m) \mathbf{x}(16Nm+n) + \mathbf{N}(16Nm+n)$$

<55> 이 때, $n=0, 1, \dots, 16N-1$ 이고, $m=0, 1, \dots, M-1$ 이다. h 는 복소채널의 크기(magnitude)이다.

<56> 상술한 방법으로 ADC(240)의 출력 SCH를 모델링하면 한 블록동안 수신된 SCH신호는

송신신호에 복소상수가 곱해진 뒤 잡음이 더해진 신호로 볼 수 있으므로 PSC와 SSC의 상관특성을 이용할 수 있다. M개의 블록별로 수신된 신호와 PSC간에 상관을 취한 결과 $\mathbf{Y}_m (m=0, 1, \dots, M-1)$ 은 다음 식과 같이 표현될 수 있다.

<57> 【수학식 7】

$$\begin{aligned}\mathbf{Y}_m &= \sum_{n=0}^{16N-1} \mathbf{r}_m(n) \mathbf{P}^*(16Nm+n) \\ &= k \mathbf{h} \exp(j\phi_m) + \mathbf{N}_m\end{aligned}$$

<58> 여기서, k는 양수이고, \mathbf{N}_m 은 PSC와 상관을 취한 후 잡음에 의해 남는 성분이다. M 개의 블록들에 대해 \mathbf{Y}_m 을 구한다. M개의 \mathbf{Y}_m 으로부터 M/2개의 128칩 동안의 위상변화를 구할 수 있다. 위상변화는 나눗셈기들(501, 511, 521), 평균기(530) 및 위상 연산기(540)에 의해 구해진다. 즉, 나눗셈기들(501, 511, 521)은 각 복소 상관기(500, 510, 520)의 출력중 128칩 길이만큼 떨어진 두 값, 즉, $\mathbf{Y}_{M/2+m}$ 과 \mathbf{Y}_m 을 짹지어 나눗셈 $\mathbf{Y}_{M/2+m}/\mathbf{Y}_m$ 을 수행한다. 평균기(530)는 나눗셈기들(501, 511, 521)의 출력값들을 평균한다. 위상 연산기(540)는 평균기(530)의 출력에 대한 위상을 구한다. 이 때, 나눗셈기들(501, 511, 521)의 각 출력에 대해 위상을 구하고, 구해진 위상을 평균하여 위상변화값 $\Delta\phi$ 를 구할 수도 있다.

<59> 그 결과를 식으로 나타내면 다음과 같다.

<60> 【수학식 8】

$$\begin{aligned}\Delta\phi_m &= \tan^{-1} \left[\frac{\text{Im}(\mathbf{Y}_{M/2+m}/\mathbf{Y}_m)}{\text{Re}(\mathbf{Y}_{M/2+m}/\mathbf{Y}_m)} \right] \quad (m=0, 1, \dots, M/2-1) \\ \Delta\phi &= \text{평균}[\Delta\phi_m]\end{aligned}$$

<61> 곱셈기(550)는 위상변화 $\Delta\phi$ 에 $1/[2\pi(\Delta T)]$ 를 곱하여 주파수 에러 추정값을 출력한다. 본 실시예에서 ΔT 는 $128T_c$ 이다. 주파수 에러 추정값 \tilde{x} 은 다음 식과 같다.

<62> 【수학식 9】

$$\hat{f} = \frac{\Delta\phi}{2\pi(128T_c)}$$

【발명의 효과】

<63> 본 발명에 의하면, 주파수 에러를 추정하여 보상함으로써 셀 탐색의 성능을 향상시키고 궁극적으로 셀 탐색시간을 줄일 수 있다. 또한 본 발명의 적용시, 간단한 연산만을 추가하여 셀 탐색을 수행하므로 추가적인 하드웨어에 대한 부담을 줄일 수 있다. 또한, 주파수 에러를 추정하여 보상하는 방법은 자동 주파수 제어(Automatic Frequency Control)나 소프트웨어 무선 시스템에서의 NCO제어에도 적용할 수 있다.

【특허청구범위】**【청구항 1】**

모든 셀에 공통인 제1코드, 각 셀에 고유한 복수의 제2코드를 그루핑한 코드그룹을 나타내는 제3코드로 구성되는 동기채널 및 데이터 채널이 포함되어 수신되는 비동기 광 대역 직접 시퀀스 코드분할다중접속 신호로부터 셀을 탐색하는 장치에 있어서,
상기 동기채널과 내부에서 발생되는 제1코드간 주파수 에러를 추정하여 보상하고,
상기 동기채널이 겪은 채널을 추정하여 보상하며, 보상이 이루어진 동기채널과 발생가능
한 제3코드를 상관하여 상기 동기채널에 포함된 제3코드를 인식하는 코드그룹 인식부;
및

상기 제3코드가 나타내는 코드그룹에 속하는 복수의 제2코드와 상기 데이터 채널을
상관하여 상기 데이터 채널에 포함된 제2코드를 찾는 제2코드 인식부를 포함함을 특징으
로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치.

【청구항 2】

제1항에 있어서, 상기 코드그룹 인식부는
제 1코드 발생기;
상기 동기채널과 상기 제1코드 발생기에서 발생된 제1코드간 주파수 에러를 추정하
고 상기 동기채널에 대해 추정된 에러를 보상하는 주파수 에러 보상기;
주파수 에러가 보상된 동기채널로부터 채널을 추정하고, 상기 주파수 에러가 보상
된 동기채널에 대해 추정된 채널을 보상하는 채널 보상기; 및
채널이 보상된 동기채널과 상기 복수의 제3코드간의 상관결과를 결합하여 상기 채

널이 보상된 동기채널에 포함된 제3코드를 인식하는 코드그룹 인식기를 포함함을 특징하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치.

【청구항 3】

제3항에 있어서, 상기 주파수 에러 보상기는

일측이 상기 동기채널을 수신하도록 연결되는 스위치;

상기 스위치의 타측에 연결되어 상기 동기채널과 상기 제1코드 발생기에서 발생된 제1코드간 위상차를 구하고, 상기 위상차를 주파수 에러로 변환하는 주파수 에러 추정기 ;

추정된 주파수를 갖는 복소 여현파를 발생하는 수치제어발진기; 및

상기 스위치의 타측에 연결되어 상기 스위치를 통해 들어오는 상기 동기채널에 상기 복소 여현파를 곱하는 곱셈기를 구비함을 특징으로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치.

【청구항 4】

제3항에 있어서, 상기 주파수 에러 추정기는

소정 간격으로 등분된 동기채널과 상기 제1코드 발생기에서 발생된 제1코드를 각각 상관하는 복수의 부분 상관기;

상기 부분 상관기들의 출력중 소정 시간만큼 이격된 두 출력값을 나누는 나눗셈기;

상기 나눗셈기의 출력으로부터 위상을 구하는 위상 연산기; 및

상기 위상 연산기의 출력을 상기 시간으로 나누어서 주파수로 변환하는 곱셈

기를 구비함을 특징으로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐색 장치.

【청구항 5】

제4항에 있어서, 상기 나눗셈기는
상기 나눗셈기의 출력을 소정 회수동안 더하여 상기 회수로 평균하는 평균기를 더
구비함을 특징으로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의 셀 탐
색 장치.

【청구항 6】

제2항에 있어서, 상기 코드그룹 인식기는
상기 채널 보상기의 출력과 상기 복수의 제3코드의 상관을 수행하는 복수의 상관
기;

상기 상관기들의 출력을 모두 더하여 제곱하는 코히런트 결합기; 및
상기 코히런트 결합기의 출력이 소정 값 이상이 될 때의 제3코드를 선택하는 선택
수단을 구비함을 특징으로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기의
셀 탐색 장치.

【청구항 7】

모든 셀에 공통인 제1코드, 각 셀에 고유한 복수의 제2코드를 그루핑한 코드그룹을
나타내는 제3코드로 구성되는 동기채널 및 데이터 채널이 포함되어 수신되는 비동기 광
대역 직접 시퀀스 코드분할다중접속 신호로부터 상기 제2코드를 획득하는 방법에
있어서,

- (a) 상기 동기채널과 제1코드 발생기에서 발생되는 제1코드간 주파수 에러를 추정하여 보상하는 단계;
- (b) 상기 동기채널이 겪은 채널을 추정하여 보상하는 단계;
- (c) 보상이 이루어진 동기채널과 발생가능한 제3코드를 상관하여 상기 동기채널에 포함된 제3코드를 인식하는 단계; 및
- (d) 상기 제3코드가 나타내는 코드그룹에 속하는 복수의 제2코드와 상기 데이터 채널을 상관하여 상기 데이터 채널에 포함된 제2코드를 찾는 단계를 포함함을 특징으로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기에서 각 셀에 고유한 스프레딩 코드획득 방법.

【청구항 8】

제7항에 있어서, 상기 (a)단계는

- (a1) 상기 동기채널을 소정 간격으로 등분하고, 등분된 동기채널들과 상기 제1코드 발생기에서 발생된 제1코드를 각각 상관하는 단계;
- (a2) 상기 단계의 상관 출력들중 소정 시간만큼 이격된 두 출력값을 나누는 단계;
- (a3) 상기 단계에서 나누어진 결과로부터 위상을 구하는 단계;
- (a4) 구해진 위상을 상기 시간으로 나누어서 주파수로 변환하는 단계; 및
- (a5) 상기 동기채널에 대해 상기 주파수만큼 보상하는 단계를 구비함을 특징으로하는 비동기식 광대역 직접 시퀀스 코드분할다중접속 수신기에서 각 셀에 고유한 코드획득 방법.

【청구항 9】

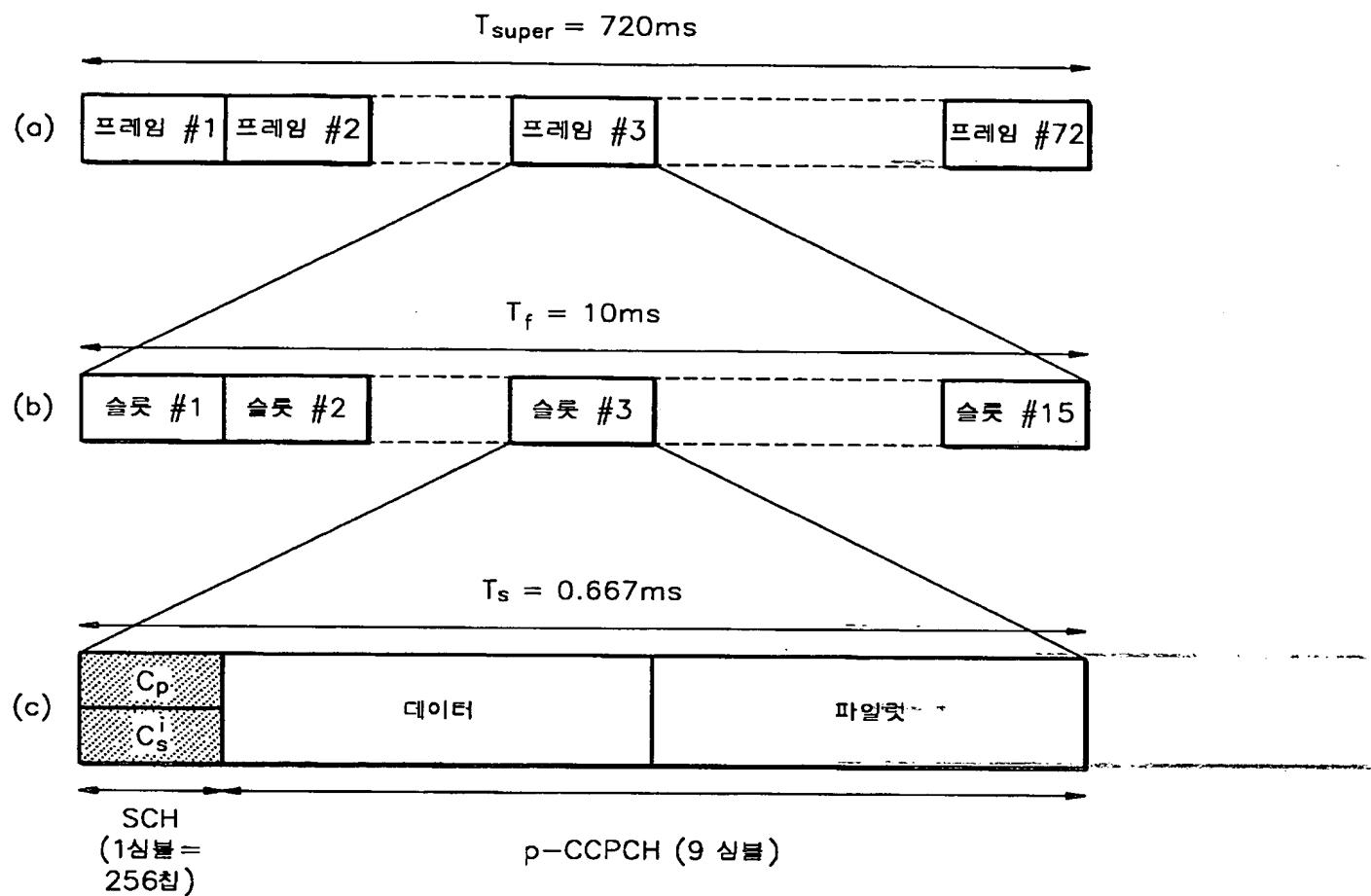
제8항에 있어서, 상기 (a1) 단계에서 상기 동기채널의 등분간격은 16배수의 칩길이임을 특징으로하는 비동기식 광대역 직접 시퀀스 코드 분할다중접속 수신기에서 각 셀에 고유한 코드획득 방법.

【청구항 10】

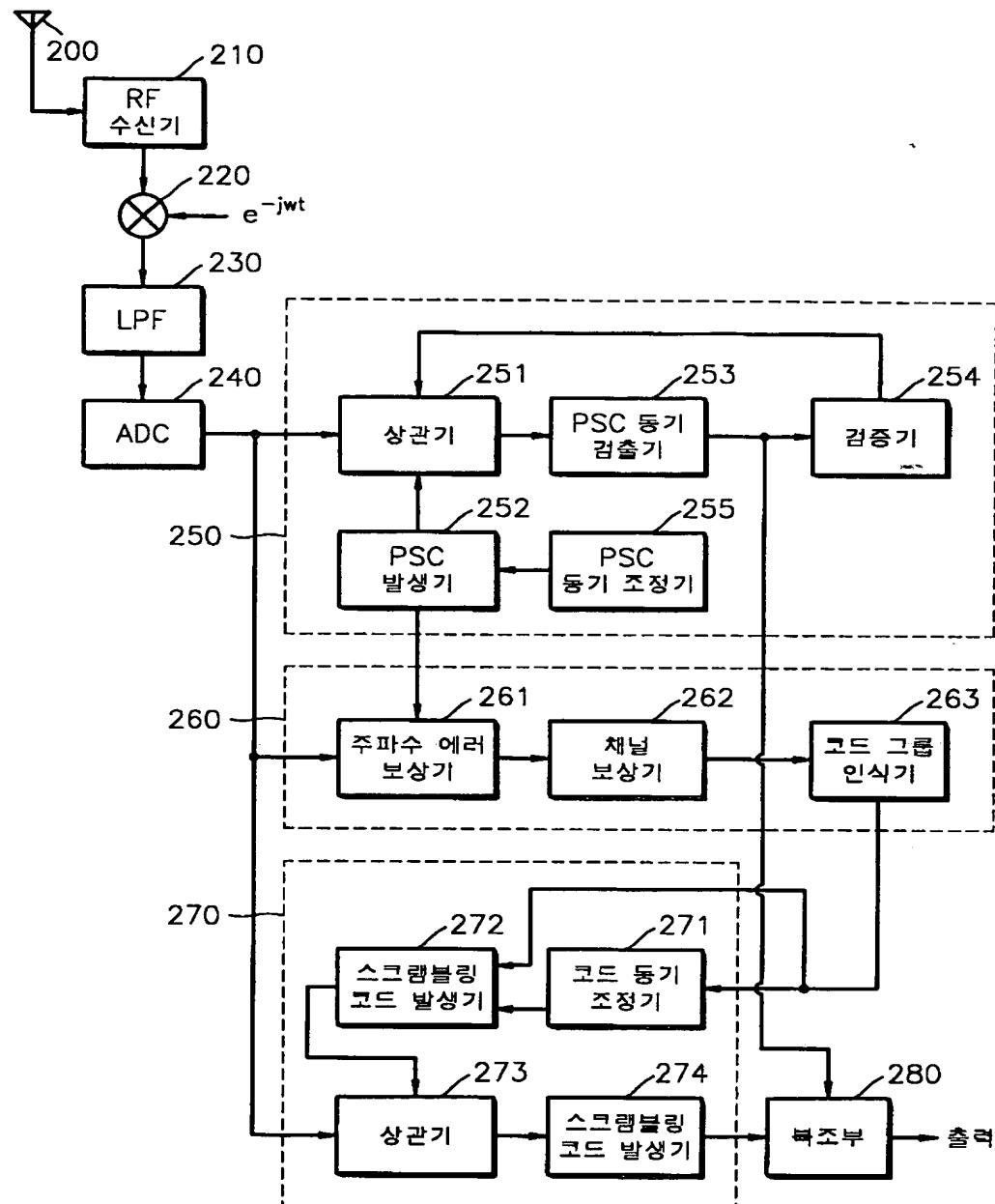
제8항에 있어서, 상기 (a2) 단계의 시간은 상기 동기채널 칩 길이의 1/2임을 특징으로하는 비동기식 광대역 직접 시퀀스 코드 분할다중접속 수신기에서 각 셀에 고유한 코드획득 방법.

【도면】

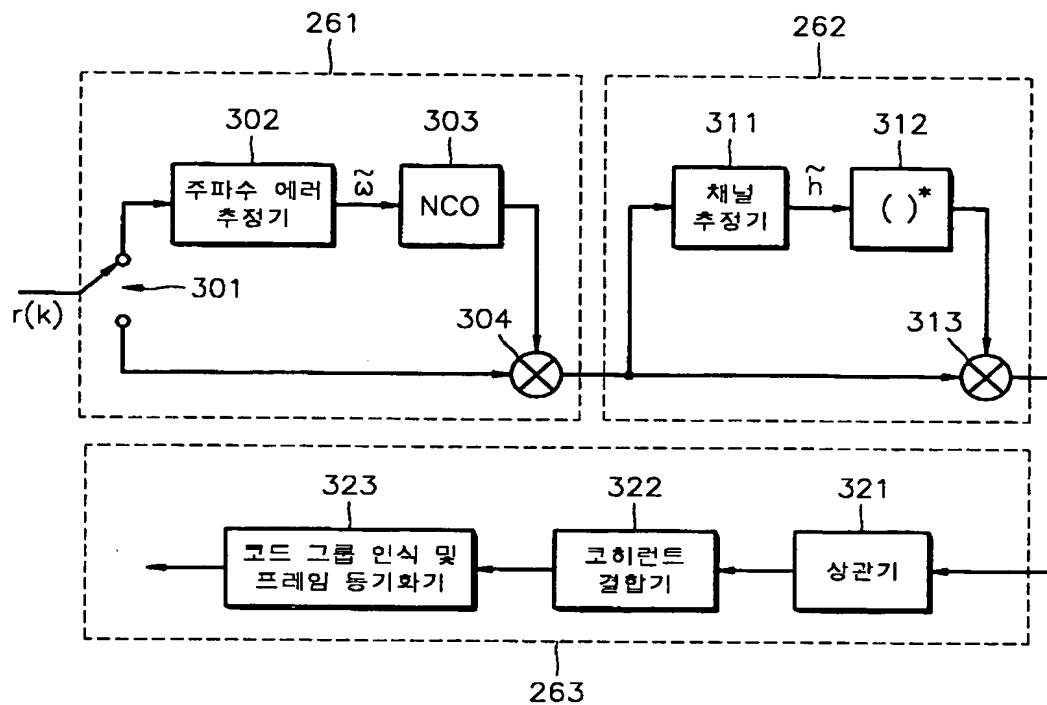
【도 1】



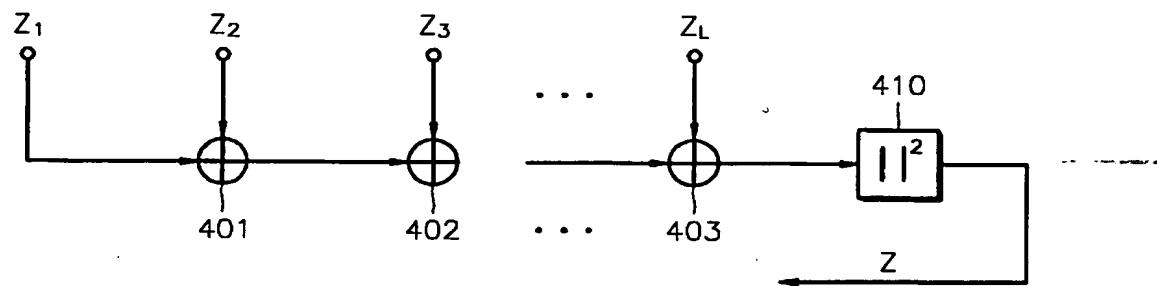
【도 2】



【도 3】



【도 4】



【도 5】

